

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 242/124

In re patent application of
Choon-Keun KWAK, et al.
Serial No. (Unassigned)
Filed: Concurrently

Group Art Unit: (Unassigned)
Examiner: (Unassigned)

For: MODE ENTRANCE CONTROL CIRCUIT AND MODE ENTERING METHOD IN
SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

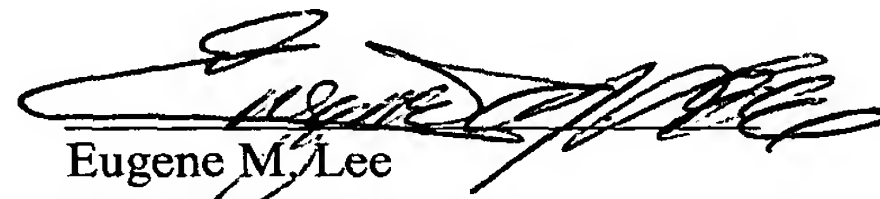
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-66482, filed October 30, 2002.

Respectfully submitted,

September 15, 2003
Date


Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0066482
Application Number PATENT-2002-0066482

출원 년 월 일 : 2002년 10월 30일
Date of Application OCT 30, 2002

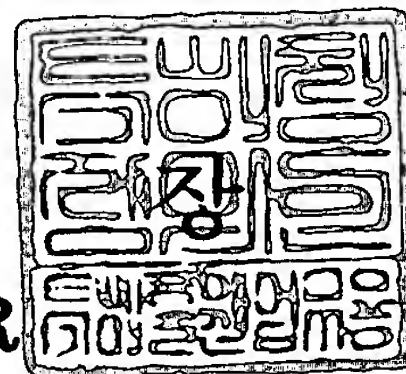
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.30
【발명의 명칭】	반도체 메모리 장치의 모드진입 제어회로 및 모드진입 방법
【발명의 영문명칭】	mode entering control circuit and mode entering method in semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	곽충근
【성명의 영문표기】	KWAK, Choong Keun
【주민등록번호】	591117-1019138
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을 풍림아파트 235동 1806호
【국적】	KR
【발명자】	
【성명의 국문표기】	임보탁
【성명의 영문표기】	LIM, Bo Tak
【주민등록번호】	700805-1396811
【우편번호】	449-904
【주소】	경기도 용인시 기흥읍 보라리 450 신갈삼성아파트 106동 705호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김능균 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 14 항 557,000 원

【합계】 586,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

공정, 온도, 또는 전압 등의 변화에 둔감하면서 일정한 진입조건이 충족되는 경우에만 설정된 동작 모드로 반도체 메모리 장치를 안정적으로 진입시킬 수 있는 모드진입 제어회로 및 모드진입 방법이 개시된다. 반도체 메모리 장치의 모드진입 제어회로는, 제1패드를 통해 인가되는 제1전압이 제1설정전압 이상인 경우에 동작 인에이블 신호를 생성하는 동작제어부와; 제2패드를 통해 인가되는 제2전압을 분배하여 트리밍 기준전압을 생성하는 전압 분배부와; 상기 동작 인에이블 신호에 응답하여 동작되며, 인가되는 고정 기준전압의 레벨과 상기 트리밍 기준전압의 레벨을 비교하여, 상기 반도체 메모리 장치의 동작이 미리설정된 모드로 진입되도록 하기 위한 모드진입 인에이블 신호를 발생하는 모드진입 신호발생부를 구비함을 특징으로 한다.

【대표도】

도 2

【색인어】

집적회로 칩, 반도체 메모리 장치, 모드진입 제어회로, 모드진입 방법

【명세서】**【발명의 명칭】**

반도체 메모리 장치의 모드진입 제어회로 및 모드진입 방법{mode entering control circuit and mode entering method in semiconductor memory device}

【도면의 간단한 설명】

도 1은 본 발명이 적용되는 반도체 메모리 장치의 블록 구성도

도 2는 본 발명의 실시예에 따른 모드진입 제어회로의 세부회로도

도 3은 도 2와 관련된 동작을 설명하기 위해 제시된 그래프도

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <4> 본 발명은 반도체 장치에 관한 것으로, 특히 반도체 메모리 장치의 모드진입 제어회로 및 모드진입 방법에 관한 것이다.
- <5> 반도체 메모리 칩 내에 존재하는 대부분의 회로들은 공정, 온도 및 전압 등의 변화에 의존하여 동작한다. 따라서, 테스트 동작모드 등과 같은 특정한 동작 모드로의 진입을 위해 존재하는 기능회로에서 전압 변화가 있을 경우에 설정된 기능이 원활히 수행되기 어렵다. 예를 들어, 테스트 모드로 진입하기 위한 모드 진입 제어회로의 경우에

공정, 온도, 또는 전압 등의 변화가 크게 되면 모드 진입 실패가 일어나 반도체 메모리 장치를 설정된 테스트 모드 하에서 동작되도록 하는 것이 어렵게 된다.

- <6> 따라서, 공정, 온도, 또는 전압 등의 변화에 둔감하면서 일정한 진입조건이 충족되는 경우에만 설정된 동작 모드로 반도체 메모리 장치를 안정적으로 진입시킬 수 있는 모드 진입 기술이 강력히 요망된다.

【발명이 이루고자 하는 기술적 과제】

- <7> 따라서, 본 발명의 목적은 상기한 종래의 문제점을 해결할 수 있는 반도체 메모리 장치를 제공함에 있다.
- <8> 본 발명의 다른 목적은 공정, 온도, 또는 전압 등의 변화에 둔감하면서 일정한 진입조건이 충족되는 경우에만 설정된 동작 모드로 반도체 메모리 장치를 안정적으로 진입시킬 수 있는 반도체 메모리 장치의 모드진입 제어회로 및 모드진입 방법을 제공함에 있다.
- <9> 본 발명의 또 다른 목적은 모드 진입 허용조건을 퓨즈 트리밍에 의해 조절할 수 있는 반도체 메모리 장치의 모드진입 제어회로 및 모드진입 방법을 제공함에 있다.
- <10> 상기한 목적들 가운데 일부의 목적들을 달성하기 위한 본 발명의 일 양상(aspect)에 따른 반도체 메모리 장치의 모드진입 제어회로는: 제1패드를 통해 인가되는 제1전압이 제1설정전압 이상인 경우에 동작 인에이블 신호를 생성하는 동작제어부와; 제2패드를 통해 인가되는 제2전압을 분배하여 트리밍 기준전압을 생성

하는 전압 분배부와; 상기 동작 인에이블 신호에 응답하여 동작되며, 인가되는 고정기준 전압의 레벨과 상기 트리밍 기준전압의 레벨을 비교하여, 상기 반도체 메모리 장치의 동작이 미리설정된 모드로 진입되도록 하기 위한 모드진입 인에이블 신호를 발생하는 모드 진입 신호발생부를 구비함을 특징으로 한다.

<11> 본 발명의 또 다른 양상에 따라 반도체 메모리 장치의 모드진입 제어신호 발생방법은: 복수의 모오스 트랜지스터들과 퓨즈들로 이루어진 트리밍 기준전압 설정부를 준비하는 단계와; 상기 퓨즈들을 커팅하여 트리밍 기준전압을 설정하는 단계와; 제1패드를 통해 제1설정전압 이상의 제1전압을 인가하여 동작 인에이블 신호를 생성하는 단계와; 제2패드를 통해 제2전압을 인가하여 상기 트리밍 기준전압을 생성하는 단계와; 상기 동작 인에이블 신호가 생성된 동안에, 인가되는 고정기준전압의 레벨과 상기 트리밍 기준전압의 레벨을 비교하여, 상기 반도체 메모리 장치의 동작이 미리설정된 모드로 진입되도록 하기 위한 모드진입 인에이블 신호를 발생하는 단계를 가진다.

<12> 상기한 회로 및 방법적 구성에 따르면, 공정, 온도, 또는 전압 등의 변화에 둔감하면서 일정한 진입조건이 충족되는 경우에만 설정된 동작 모드로 반도체 메모리 장치를 안정적으로 진입시킬 수 있는 이점이 있다.

【발명의 구성 및 작용】

<13> 이하에서는 본 발명에 따른 반도체 메모리 장치의 모드진입 제어회로 및 모드진입 방법에 대한 바람직한 실시예가 첨부된 도면들을 참조하여 설명된다. 비록

다른 도면에 표시되어 있더라도 동일 내지 유사한 기능을 가지는 구성요소들은 동일 내지 유사한 참조부호로서 나타나 있다.

<14> 도 1은 본 발명이 적용되는 반도체 메모리 장치의 블록 구성도이다. 도면을 참조하면, 집적회로 칩(1)내에 탑재되는 모드진입 제어회로(100)는 메모리 동작 제어회로(200)와 연결되어 모드 인에이블 신호(MES)를 생성한다. 상기 메모리 동작 제어회로(200)는 상기 모드 인에이블 신호(MES)의 상태가 설정된 레벨인 경우에 메모리 코어블록(300)을 특정한 동작 모드 예컨대 테스트 동작하에 있도록 제어한다. 이에 따라, 상기 메모리 코어블록(300)은 노말 동작을 행하지 않고 테스트 동작 모드하에서 리드 또는 라이트 관련 동작을 수행한다. 입/출력 회로(400)는 상기 메모리 코어블록(300)과 연결되어 테스트 모드 또는 노말 동작모드에서 입력 또는 출력되는 데이터를 메모리 코어블록(300)에 제공하거나 외부의 데이터 처리장치에 제공한다.

<15> 따라서, 상기 모드진입 제어회로(100)의 출력상태는 상기 메모리 코어블록(300)의 동작모드를 결정하므로 공정, 온도, 또는 전압 등의 변화에 민감함이 없이 매우 안정한 상태를 가질 필요성이 있음을 알 수 있다.

<16> 따라서, 본 발명의 실시예에서는 모드진입 패드들에 동작전원전압보다 높은 고전압을 인가하여야만 모드진입이 허용되며, 모드 진입이 행해지는 전압레벨의 트립포인트(trip point)를 퓨즈 트리밍(trimming)을 통해 임의로 변경할 수 있는 도 2와 같은 모드진입 제어회로가 제공된다.

<17> 도 2는 본 발명의 실시예에 따른 모드진입 제어회로의 세부회로도이다. 도면을 참조하면, 반도체 메모리 장치의 모드진입 제어회로는, 동작제어부(10)와, 전압 분배부(30)와, 모드진입 신호발생부(20)를 구비한다.

- <18> 상기 동작제어부(10)는 제1패드(PAD1)를 통해 인가되는 제1전압이 제1설정전압 이상인 경우에 동작 인에이블 신호를 생성하기 위해, 상기 제1패드(PAD1)와 접지간에 소오스-드레인 또는 드레인-소오스 채널이 직렬로 연결된 피형 모오스 트랜지스터(PM1) 및 복수의 엔형 모오스 트랜지스터(NM1-NMn)와, 상기 피형 모오스 트랜지스터(PM1)의 드레인에 연결된 인버터(IN1) 및 상기 인버터(IN1)의 출력을 반전하기 위한 인버터(IN2)로 구성된다.
- <19> 상기 전압 분배부(30)는, 제2패드(PAD2)를 통해 인가되는 제2전압을 분배하여 트리밍 기준전압(VDO)을 생성하기 위해, 상기 제2패드(PAD2)와 접지간에 소오스-드레인 또는 드레인-소오스 채널이 직렬로 연결된 복수의 피형 및 엔형 모오스 트랜지스터들(PM30-PMn, NM30-NMn+1)과, 레이저 빔등과 같은 광원에 의해 커팅가능한 상부 퓨즈들(FUU1, FUU2) 및 하부 퓨즈들(FUD1, FUD1)로 구성된다.
- <20> 상기 모드진입 신호발생부(20)는 상기 동작제어부(10)로부터 출력된 상기 동작 인에이블 신호에 응답하여 동작된다. 상기 모드진입 신호발생부(20)는, 인가되는 고정기준전압(VREF)의 레벨과 상기 트리밍 기준전압(VDO)의 레벨을 비교하여, 상기 반도체 메모리 장치의 동작이 미리설정된 모드로 진입되도록 하기 위한 모드진입 인에이블 신호(MES)를 인버터(IN10)를 통해 발생한다. 상기 모드진입 신호발생부(20)는, 소오스로 동작전원전압(VCC)을 공통으로 수신하며 게이트가 서로 연결된 피형 모오스 트랜지스터들(PM10, PM11)와, 상기 피형 모오스 트랜지스터들(PM10, PM11)의 드레인에 드레인이 각기 대응 연결된 엔형 모오스 트랜지스터들(NM10, NM11)과, 상기 엔형 모오스 트랜지스터들(NM10, NM11)의 공통 소오스에 드레인이 연결되고 소오스가 접지에 연결되며 상기 동작

인에이블 신호를 게이트로 수신하는 엔형 모오스 트랜지스터(NM12)로 이루어진 전류 미러 타입의 차동증폭기(DA)로서 구성될 수 있다.

- <21> 도면에서, 노드(N01)는 상기 차동증폭기(DA)의 고정기준전압(VREF)이 인가되는 입력단이 되고, 노드(N02)는 상기 트리밍 기준전압(VD0)이 인가되는 입력단이 되고, 노드(N03)는 상기 차동증폭기(DA)의 제1출력단이 되고, 노드(N04)는 상기 차동증폭기(DA)의 제2출력단이 된다. 본 실시예에서는 상기 모드진입 인에이블 신호(MES)가 상기 제1출력단을 통해 생성되는 것을 알 수 있다.
- <22> SRAM 등과 같은 반도체 메모리 장치에서는 외부전원전압을 일정한 내부전원전압으로 변환하여 칩 내부의 필요처에 공급하는 내부전원전압 발생회로(Internal Voltage down Converter)가 대개 채용되어 있으므로, 상기 내부전원전압 발생회로에 일정한 기준전압을 제공하기 위한 기준전압 발생기(reference voltage generator)도 거의 필수적으로 구비되어 있다. 따라서, 도 2의 노드(N01)에 인가되는 고정기준전압(VREF)으로서는 상기 기준전압 발생기로부터 생성된 기준전압을 이용함에 의해, 일단 차동비교의 기준이 되는 기준전압이 공정, 온도, 또는 전압 등과 같은 내외부 환경의 변화에 크게 영향을 받지 않는다.
- <23> 도 2에서, 노드(N02)에는 상기 전압 분배부(30)에서 생성된 트리밍 기준전압(VD0)이 인가되는데, 그 레벨은 상부 퓨즈들(FUU1, FUU2) 및 하부

퓨즈들(FUD1, FUD1)의 커팅 개수에 따라 결정된 복수의 피형 및 엔형 모오스 트랜지스터들(PM30-PMn, NM30-NMn+1)의 저항비에 의존한다. 즉, 상부 퓨즈들을 커팅하여 제2패드(PAD2)와 상기 노드(N02)간의 상부 저항을 높이는 경우에 트리밍 기준전압(VD0)의 레벨은 낮아지며, 하부 퓨즈들을 커팅하여 상기 노드(N02)와 접지간의 하부 저항을 높이는 경우에 트리밍 기준전압(VD0)의 레벨은 높아진다. 따라서, 상부 퓨즈들을 커팅하는 경우에 제2패드(PAD2)의 인가전압 즉 외부 인가전압은 높은 레벨로 인가되고, 하부 퓨즈들을 커팅하는 경우에 상기 제2패드(PAD2)의 인가전압의 레벨은 낮은 레벨로 인가된다. 그러므로, 상기 제2패드(PAD2)에 고전압을 인가할 경우에만 모드 진입이 허용되어질 것을 원한다면 퓨즈 트리밍 단계에서 상기 상부 퓨즈들을 커팅하고, 상기 고전압 보다 상대적으로 낮은 전압에서 모드 진입을 원한다면 상기 하부 퓨즈들을 커팅한다.

<24> 도 3은 도 2와 관련된 동작을 설명하기 위해 제시된 그래프도이다. 도 3의 그래프에서, 가로축은 외부전원전압(EVCC)을 나타내고 세로축은 전압(VOLT)을 나타낸다. 그래프(G1)는 상기 고정 기준전압(VREF)의 파형을, 그래프들(G2, G21, G22)은 퓨즈들의 커팅에 의해 조절된 상기 트리밍 기준전압(VD0)의 파형들을 각기 가리킨다. 상기 고정 기준전압(VREF)은 외부전원전압(EVCC)의 변화에 무관하게 일정한 레벨로서 상기 노드(N01)에 인가되므로, 상기 그래프(G1)의 형상으로 나타난다. 한편, 그래프(G2, G21, G22)의 경우를 보자. 하부 퓨즈들을 커팅하여 노드(N02)와 접지간의 하부 저항을 높이는 경우에 트리밍 기준전압(VD0)는 높아지므로 제2패드(PAD2)의 인가전압 즉 외부 인가전압을 낮게 가져간다. 그래프(G2)를 기준으로 화살부호(AR1)방향으로 치우쳐진 그래프(G21)는 그래프(G2)의 경우에 비해 하부 퓨즈들을 보다 많이 커팅함에 의해 얻어진 것이다. 반대로, 상부 퓨즈들을 커팅하여 제2패드(PAD2)와 상기 노드(N02)간의 상부 저항을 높이는 경우에 트

리밍 기준전압(VD0)는 낮아지므로 제2패드(PAD2) 인가전압 즉 외부 인가전압을 높게 가져간다. 그래프(G2)를 기준으로 화살부호 (AR2) 방향으로 치우쳐진 그래프(G22)는 그래프(G2)의 경우에 비해 상부 퓨즈들을 보다 많이 커팅함에 의해 얻어진 것이다.

<25> 결국, 화살부호(AR2)방향으로 갈수록 상부 퓨즈들의 커팅수는 증가하고, 패드에 인가되어야할 전압의 레벨이 높아진다. 반대로, 화살부호(AR1)방향으로 갈수록 하부퓨즈들의 커팅수는 증가하고, 패드에 인가되어야할 전압의 레벨이 낮아진다.

<26> 그러므로 상부 및 하부 퓨즈들의 커팅 수를 적절히 설정하는 것에 의해 패드(PAD2)에 인가하여야할 외부 인가전압의 레벨이 결정된다. 이는 결국, 발생하는 모드진입 인에이블 신호(MES)의 트립 포인트가 상기 퓨즈 트리밍에 의해 조절된다는 것을 의미한다. 예를 들어, 패드를 통해 높은 인가전압이 인가될 때 모드진입 인에이블 신호(MES)가 발생되도록 하기 위해서는 상기 상부 퓨즈들의 커팅 수를 증가시키고, 상대적으로 낮은 인가전압에서 상기 모드진입 인에이블 신호가 발생되도록 하기 위해서는 상기 하부 퓨즈들의 커팅수를 증가시킨다.

<27> 이하에서는 상기 도 2 및 도 3을 참조하여 전체적인 동작의 일예가 본 발명의 철저한 이해를 제공할 의도외에는 다른 의도없이 설명될 것이다.

<28> 도 2로 다시 돌아가서, 동작전원전압(VCC)의 레벨이 상당히 불안정한 상태에서 번인(burn-in) 동작 등과 같은 테스트 모드로 반도체 메모리 장치를 진입시키는 경우라고 하자. 테스트 진행자는 상기 제1패드(PAD1)와 제2패드(PAD2)에 제1,2 고전압을 각기 인가하면, 동작전원전압(VCC)의 레벨이 불안정하더라도 모드진입 인에이블 신호(MES)가 아래와 같은 회로동작에 의해 안정적으로 생성된다.

- <29> 상기 제1패드(PAD1)에 상기 동작전원전압(VCC)보다 문턱전압(V_{tp} : 피형 모오스 트랜지스터 PM1의 문턱전압)만큼 더 높은 제1전압이 인가되면, 상기 피형 모오스 트랜지스터(PM1)가 턴온되고 인버터(IN2)를 통해 하이레벨의 동작 인에이블 신호가 생성된다. 이에 따라 상기 전류 미러 타입의 차동증폭기(DA)는 동작 인에이블 상태로 되어 차동 증폭동작을 시작한다. 이 경우에, 상기 제2패드(PAD2)에도 제2전압이 고전압의 레벨(상기 동작전원전압(VCC)의 레벨보다 높은 상기 제1전압의 레벨보다 같거나 높은 레벨로 설정됨)로서 인가된다. 또한, 그러한 경우에 미리 수행된 퓨즈 트리밍 작업에 의해 상기 트리밍 기준전압(VDO)의 레벨은 상기 고정기준전압(VREF)의 레벨보다 높도록 조정되어 있다.
- <30> 상기 차동증폭기(DA)내의 트랜지스터들(NM10, NM11)이 포화영역에서 동작되도록 바이어스가 잡혀졌다고 가정하자. 상기 트리밍 기준전압(VDO)의 레벨이 상기 고정기준전압(VREF)의 레벨보다 높은 경우에, 상기 엔형 모오스 트랜지스터(NM11)는 상기 엔형 모오스 트랜지스터(NM10)보다 강하게(strongly) 턴온된다. 반면에 엔형 모오스 트랜지스터(NM10)는 상기 엔형 모오스 트랜지스터(NM11)보다 약하게(slightly) 턴온된다. 이에 따라, 노드 (N04)를 통해 흐르는 전류는 노드(N03)를 통해 흐르는 전류보다 많으므로 노드(N04)의 전압레벨은 정상상태의 전압보다 낮아진다. 이에 따라, 피형 모오스 트랜지스터(PM10)를 통해 상대적으로 많은 전압이 공급되어 노드(N03)의 전압레벨은 증가한다. 상기 노드(N03)에서 출력된 하이레벨은 인버터(IN10)에 의해 로우레벨로 반전되어 상기 모드진입 인에이블 신호(MES)로서 출력된다.
- <31> 한편, 반대로 상기 제1,2 패드에 상기한 고전압이 인가되지 않는 경우에는 상기 동작제어부(10)내의 피형 모오스 트랜지스터(PM1)가 턴오프 되어 인버터(IN2)를 통해 로우

레벨의 동작 인에이블 신호가 생성된다. 이에 따라 상기 전류 미러 타입의 차동증폭기 (DA)는 동작 디세이블 상태로 되어 동작을 하지 않는다. 만약, 상기 제1 패드에 동작전원전압보다 약간 높은 전압이 인가되어 하이레벨의 동작 인에이블 신호가 생성된 경우라고 하더라도 제2패드(PAD2)에 높은 전압이 인가되지 않으면, 상기 트리밍 기준전압(VD0)의 레벨이 상기 고정기준전압(VREF)의 레벨보다 낮게 되어 상기 노드(N03)에서는 로우레벨이 출력된다. 이에 따라 모드진입 인에이블 신호(MES)는 하이레벨로 출력되므로 모드진입이 허용되지 않는다.

<32> 상기한 회로의 동작은 동작전원전압(VCC)이 불안정한 경우에도 확실히 동작하므로 안정하다. 결국, 입력전원전압(VCC)에 노이즈가 많이 포함되어 불안정한 경우에도 제1,2 패드에 설정된 전압 이상의 전압이 인가되지 않는 한 모드 진입은 불가능한 것이다.

<33> 본 발명의 실시예의 경우에 모드 진입을 보다 높은 전압의 인가에 의해 수행되도록 하려면, 상기한 바와 같이 상기 전압 분배부(30)내의 상부 퓨즈들의 커팅 수를 증가시키면 됨은 두말할 나위도 없다.

<34> 상기한 설명에서는 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 회로의 세부 구조나 연결을 다양한 형태로 변경할 수 있음은 물론이다.

【발명의 효과】

<35> 상기한 바와 같은 본 발명의 모드 진입 제어회로 및 방법에 따르면, 공정, 온도, 또는 전압 등의 변화에 둔감하면서 일정한 진입조건이 충족되는 경우에만 설정된 동작 모드로 반도체 메모리 장치를 안정적으로 진입시킬 수 있는 효과가 있다. 따라서, 주변 영향에 기인하여 발생될 수 있는 반도체 메모리 장치의 모드 진입동작 폐일을 방지 또는 최소화하는 장점이 있다.

【특허청구범위】**【청구항 1】**

반도체 메모리 장치의 모드진입 제어회로에 있어서:

제 1패드를 통해 인가되는 제1전압이 제1설정전압 이상인 경우에 동작 인에이블 신호를 생성하는 동작제어부와;

제2패드를 통해 인가되는 제2전압을 분배하여 트리밍 기준전압을 생성하는 전압 분배부와;

상기 동작 인에이블 신호에 응답하여 동작되며, 인가되는 고정기준전압의 레벨과 상기 트리밍 기준전압의 레벨을 비교하여, 상기 반도체 메모리 장치의 동작이 미리설정된 모드로 진입되도록 하기 위한 모드진입 인에이블 신호를 발생하는 모드진입 신호발생부를 구비함을 특징으로 하는 반도체 메모리 장치의 모드진입 제어회로.

【청구항 2】

제1항에 있어서, 상기 제1전압 및 제2전압은 상기 반도체 메모리 장치의 동작전원 전압(VCC)보다 높은 고전압의 레벨임을 특징으로 하는 반도체 메모리 장치의 모드진입 제어회로.

【청구항 3】

제2항에 있어서, 상기 제2전압의 레벨은 상기 제1전압의 레벨보다 높음을 특징으로 하는 반도체 메모리 장치의 모드진입 제어회로.

【청구항 4】

제2항에 있어서, 상기 제2전압의 레벨은 상기 제1전압의 레벨과 같음을 특징으로 하는 반도체 메모리 장치의 모드진입 제어회로.

【청구항 5】

제3항에 있어서, 상기 모드진입 신호발생부는 상기 동작 인에이블 신호에 응답하여 상기 고정기준전압의 레벨과 상기 트리밍 기준전압의 레벨간의 차를 증폭하는 전류 미러 타입의 차동증폭기를 구비함을 특징으로 하는 반도체 메모리 장치의 모드진입 제어회로.

【청구항 6】

제5항에 있어서, 상기 동작제어부는, 상기 제1패드와 접지간에 소오스-드레인 또는 드레인-소오스 채널이 직렬로 연결된 피형 모오스 트랜지스터 및 복수의 엔형 모오스 트랜지스터와, 상기 피형 모오스 트랜지스터의 드레인에 연결된 인버터 및 상기 인버터의 출력을 반전하기 위한 출력 인버터로 구성됨을 특징으로 하는 반도체 메모리 장치의 모드진입 제어회로.

【청구항 7】

제6항에 있어서, 상기 전압 분배부는, 상기 제2패드와 접지간에 소오스-드레인 또는 드레인-소오스 채널이 직렬로 연결된 복수의 피형 및 엔형 모오스 트랜지스터들과, 레이저 빔등과 같은 광원에 의해 커팅가능한 상부 퓨즈들 및 하부 퓨즈들로 구성됨을 특징으로 하는 반도체 메모리 장치의 모드진입 제어회로.

【청구항 8】

제3항에 있어서, 상기 모드진입 신호발생부는, 소오스로 동작전원전압을 공통으로 수신하며 게이트가 서로 연결된 피형 모오스 트랜지스터들과, 상기 피형 모오스 트랜지스터들의 드레인에 드레인이 각기 대응 연결된 엔형 모오스 트랜지스터들과, 상기 엔형 모오스 트랜지스터들의 공통 소오스에 드레인이 연결되고 소오스가 접지에 연결되며 상기 동작 인에이블 신호를 게이트로 수신하는 엔형 모오스 트랜지스터로 구성된 전류 미러 타입의 차동증폭기로 구성됨을 특징으로 하는 반도체 메모리 장치의 모드진입 제어회로.

【청구항 9】

제7항에서 있어서, 상기 상부 퓨즈들의 커팅 수를 증가시킬 경우에 이전 보다 높은 전압이 인가되어야만 모드진입이 허용되는 것을 특징으로 하는 반도체 메모리 장치의 모드진입 제어회로.

【청구항 10】

반도체 메모리 장치의 모드진입 제어신호 발생방법에 있어서:

복수의 모오스 트랜지스터들과 퓨즈들로 이루어진 트리밍 기준전압 설정부를 준비하는 단계와;

상기 퓨즈들을 커팅하여 트리밍 기준전압을 설정하는 단계와;

제 1패드를 통해 제1설정전압 이상의 제1전압을 인가하여 동작 인에이블 신호를 생성하는 단계와;

제2패드를 통해 제2전압을 인가하여 상기 트리밍 기준전압을 생성하는 단계와;

상기 동작 인에이블 신호가 생성된 동안에, 인가되는 고정기준전압의 레벨과 상기 트리밍 기준전압의 레벨을 비교하여, 상기 반도체 메모리 장치의 동작이 미리설정된 모드로 진입되도록 하기 위한 모드진입 인에이블 신호를 발생하는 단계를 가짐을 특징으로 하는 방법.

【청구항 11】

제10항에 있어서, 상기 제1전압 및 제2전압은 상기 반도체 메모리 장치의 동작전원 전압(VCC)보다 높은 고전압의 레벨임을 특징으로 하는 방법.

【청구항 12】

제11항에 있어서, 상기 제2전압의 레벨은 상기 제1전압의 레벨보다 높음을 특징으로 하는 방법.

【청구항 13】

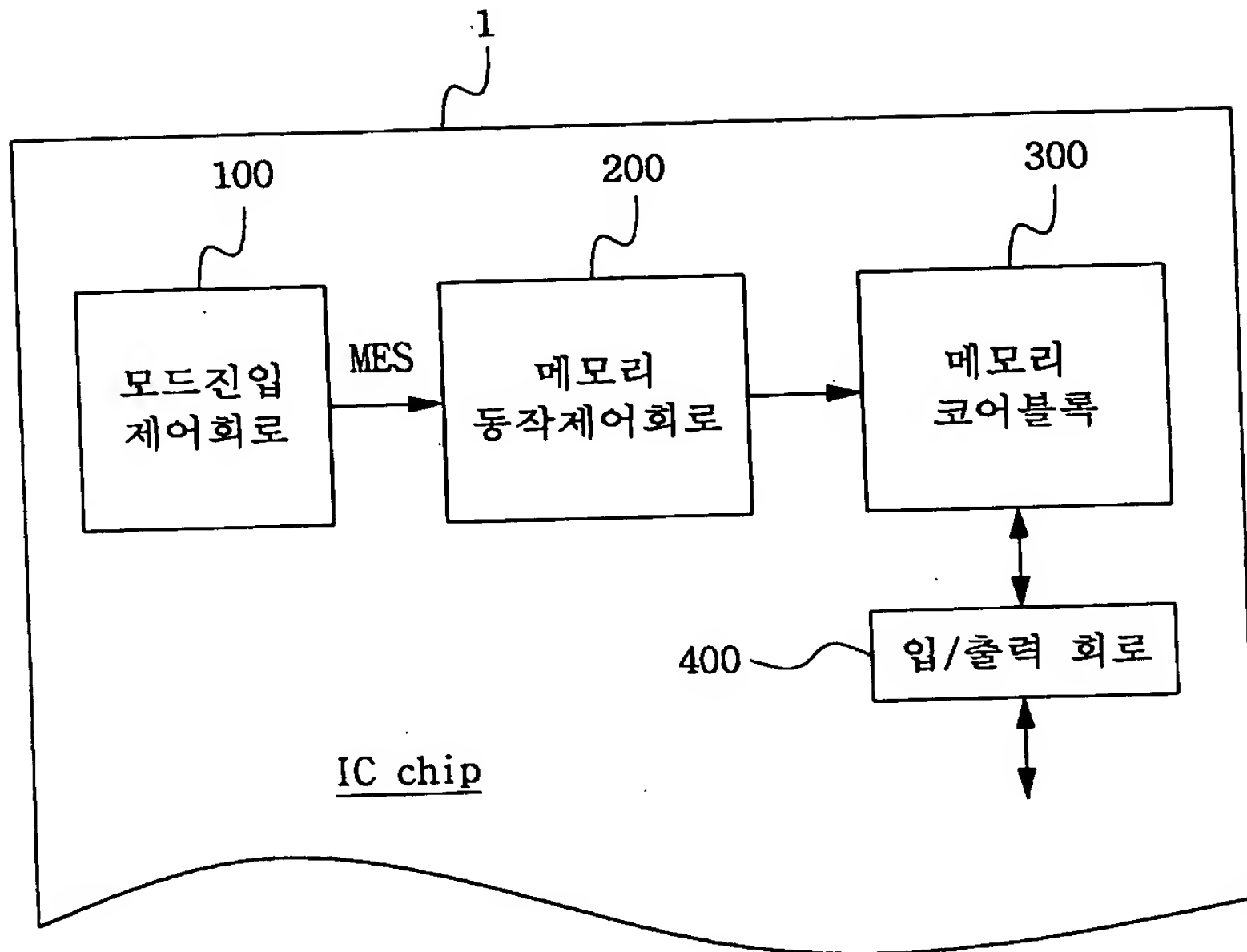
제11항에 있어서, 상기 제2전압의 레벨은 상기 제1전압의 레벨과 같음을 특징으로 하는 방법.

【청구항 14】

제11항에 있어서, 상기 고정기준전압은 반도체 메모리 장치의 기준전압발생기로부터 생성된 기준전압임을 특징으로 하는 방법.

【도면】

【도 1】



【도 3】

